

MENU

SEARCH

INDEX

DETAIL

JAPANESE

BACK

6 / 7

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-244383

(43)Date of publication of application : 02.09.1994

(51)Int.Cl.

H01L 27/108

H01L 21/3205

(21)Application number : 05-029985

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.02.1993

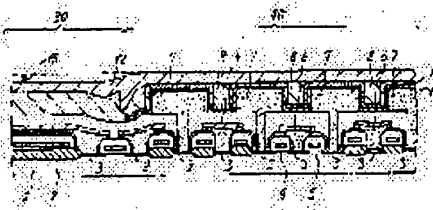
(72)Inventor : OGAWA HISASHI  
HASHIMOTO SHIN  
MATSUMOTO SUSUMU

## (54) SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce a step between a memory cell array region and a peripheral circuit region so as to facilitate the later formation of a wiring pattern.

CONSTITUTION: A capacity insulating film 10 and a plate electrode 11 are in order formed on the charge storage electrodes 7 800nm in height formed on a p-type semiconductor substrate 1. Next, the first BPSG films 8 are piled up by 800nm and subjected to heat treatment in a nitric atmosphere at 850° C for 15 minutes. Next, the first BPSG films 8 in a cell array region 40 are etched by 800nm while having a resist pattern formed on a peripheral circuit region 30 as a mask. Next, a second BPSG film 12 is piled up by 800nm and subjected to heat treatment in the nitric atmosphere at 900° C for 40 minutes to make it to reflow so as to be flattened followed by etching back by 400nm in order to form an insulating film on the plate electrode. By means of aforesaid process, an absolute step 15 between the cell array region 40 and the peripheral circuit region 30 becomes 200nm of the film thickness of the plate electrode so as to facilitate formation of the later wiring pattern.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-244383 V

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 27/108

21/3205

7210-4M

7514-4M

7210-4M

H 0 1 L 27/ 10

21/ 88

27/ 10

3 2 5 R

K

3 2 5 C

審査請求 未請求 請求項の数4 OL (全 9 頁)

(21)出願番号

特願平5-29985

(22)出願日

平成5年(1993)2月19日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小川 久

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 橋本 伸

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 松本 晋

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

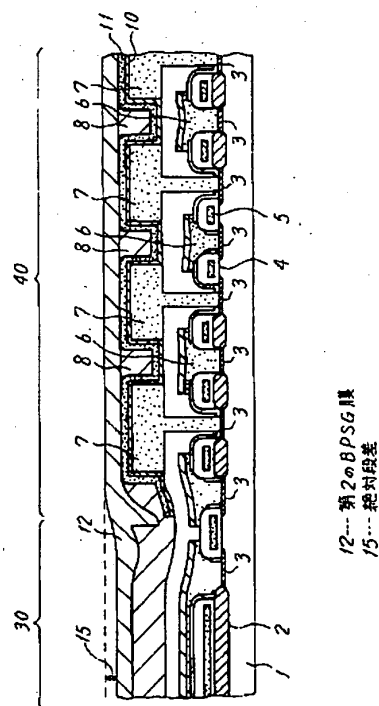
(74)代理人 弁理士 森本 義弘

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【目的】メモリセルアレイ領域と周辺回路領域の段差を低減して、後の配線パターンの形成を容易にする。

【構成】p型半導体基板1上に形成した高さ800nmの電荷蓄積電極7の上に、容量絶縁膜10、プレート電極11を順次形成する。次に第1のBP SG膜8を800nm堆積して、850度15分窒素雰囲気中で熱処理をほどこす。次に周辺回路領域30上に形成したレジストパターン9をマスクにセルアレイ領域40の第1のBP SG膜8を800nmエッチングする。次に第2のBP SG膜12を800nm堆積後900度40分窒素雰囲気中で熱処理をほどこしてリフローさせて平坦化を行った後400nmエッチバックしてプレート電極上絶縁膜を形成する。上記工程により、セルアレイ領域40と周辺回路領域30との絶対段差15はプレート電極膜厚の200nmとなり後の配線パターンの形成が容易に行える。



## 【特許請求の範囲】

【請求項1】 電荷蓄積電極、容量絶縁膜、プレート電極を順次形成後第一の絶縁膜を形成する工程と、セルアレイ領域のみ開口したレジストパターンをマスクに前記第一の絶縁膜の一部を除去する工程と、前記レジストパターンを除去後第二の絶縁膜を形成する工程とを少なくとも備え、セルアレイ領域と周辺回路領域の絶対段差を低減することを特徴とする半導体記憶装置の製造方法。

【請求項2】 電荷蓄積電極を形成後第一の絶縁膜を形成する工程と、セルアレイ領域の前記第一の絶縁膜を選択的に除去した後容量絶縁膜およびプレート電極を順次形成する工程と、第二の絶縁膜を形成する工程とを少なくとも備え、セルアレイ領域と周辺回路領域の絶対段差を低減することを特徴とする半導体記憶装置の製造方法。

【請求項3】 第一および第二の絶縁膜が熱流動性を持ち、熱処理によりリフローさせることを特徴とする請求項1または2に記載の半導体記憶装置の製造方法。

【請求項4】 電荷蓄積電極を形成後容量絶縁膜およびプレート電極材を順次形成する工程と、第一の絶縁膜を形成する工程と、セルアレイ領域の前記第一の絶縁膜を選択的に除去した後耐酸化性の絶縁膜を形成する工程と、不純物を含む第二の絶縁膜を形成する工程と、酸化雰囲気での熱処理により前記第二の絶縁膜をリフローすると同時に周辺回路領域のプレート電極材を酸化する工程とを少なくとも備え、セルアレイ領域と周辺回路領域の絶対段差を低減することを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶装置のうち、スタック型のDRAM（ダイナミック・ランダム・アクセス・メモリー）に関するものである。

## 【0002】

【従来の技術】 高集積化がますます進む半導体装置の中にあつて最も微細な加工が要求されるDRAMは、十分な蓄積容量を得るために容量部分をシリコン基板中に掘り下げて形成するトレンチ型セルや、容量部分を三次元的に積み上げて形成するスタック型セルが採用されている。このうちスタック型セルは微細化が進めば進むほど十分な蓄積容量を得るためには容量電極部分を高くして行かざるを得ない。ところが、パターン形成のためのリソグラフィ技術においては解像限界が微細になるほど焦点深度が浅くなる。一般に解像限界は使用する光源の波長に比例し露光装置のレンズの開口数に逆比例するため微細なパターンを形成するためには使用する光源の波長を短くするかレンズの開口数を大きくして対応する。しかし一方で焦点深度は光源の波長に比例し、レンズの開口数の2乗に反比例するため解像限界を小さくすればするほど焦点深度が浅くなるわけである。したがって微

細なパターン形成を行うためには基板段差をできるだけ小さく抑える必要がある。

【0003】 以下図面を参照しながら、上記した従来のスタック型セルを用いたDRAMの製造方法について説明する。図14～図15は従来のスタック型セルを用いたDRAMの製造方法を示す工程断面図である。図14～図15において、5はワード線となるゲート電極で、6はビット線、7は電荷蓄積電極である。

【0004】 まず図14に示すように、p型半導体基板1上にスイッチングトランジスタを構成するゲート絶縁膜4、ゲート電極5を形成し、前記ゲート電極5に隣接するn型拡散層3の一方にビット線6、他方にPドーパントポリシリコンよりなる電荷蓄積電極7を接続する。次に、図15に示すように窒化珪素膜と酸化珪素膜の多層膜よりなる容量絶縁膜10、プレート電極11を順次形成しさらにその上にBPSG膜8を堆積後、熱処理によりリフローさせて平坦化を行う。しかし、メモリセルアレイ領域40と周辺回路領域30との絶対段差15は電荷蓄積電極7とプレート電極11の高さだけ存在する。

【0005】 たとえば64MDRAMでは十分な蓄積容量を得るためには約30fFの蓄積容量が必要と考えられる。そのためには1.5 $\mu\text{m}^2$ のメモリセル面積で、SiO<sub>2</sub>膜換算で6nm相当の容量絶縁膜を用いた場合、電荷蓄積電極7の高さは約800nm必要である。

## 【0006】

【発明が解決しようとする課題】 しかしながら上記のような構成では、プレート電極11に200nmの膜厚の多結晶シリコン膜を使用した場合、セルアレイ領域40と周辺回路領域30との間に電荷蓄積電極7の高さとプレート電極11の膜厚相当の段差約1 $\mu\text{m}$ が発生し、その後に行うわなければならない配線パターンの形成が極めて困難となってしまうという問題点を有していた。すなわち、64MDRAMでは0.35 $\mu\text{m}$ という微細なパターン形成が要求されているが、フォトリソグラフィ技術においては微細なパターンになるほどその焦点深度が浅くなるため大きな段差上での微細パターンの形成が困難になるわけである。

【0007】 本発明は上記問題点に鑑み、電荷蓄積電極の高さを高く形成してもメモリセル部と周辺回路部の絶対段差を小さく抑え、後の配線パターンの形成を容易に形成する半導体装置の製造方法を提供するものである。

## 【0008】

【課題を解決するための手段】 上記課題を解決するために本発明の第1の半導体記憶装置の製造方法は、電荷蓄積電極、容量絶縁膜、プレート電極を順次形成後第一の絶縁膜を形成する工程と、セルアレイ領域のみ開口したレジストパターンをマスクに前記第一の絶縁膜の一部を除去する工程と、前記レジストパターンを除去後第二の絶縁膜を形成する工程とを少なくとも備え、セルアレイ領域と周辺回路領域の絶対段差を低減するようにしたも

のである。

【0009】本発明の第2の半導体記憶装置の製造方法は、電荷蓄積電極を形成後第一の絶縁膜を形成する工程と、セルアレイ領域の前記第一の絶縁膜を選択的に除去した後容量絶縁膜およびプレート電極を順次形成する工程と、第二の絶縁膜を形成する工程とを少なくとも備え、セルアレイ領域と周辺回路領域の絶対段差を低減するようにしたものである。

【0010】本発明の第3の半導体記憶装置の製造方法は、電荷蓄積電極を形成後容量絶縁膜およびプレート電極材料膜を順次形成する工程と、第一の絶縁膜を形成する工程と、セルアレイ領域上に耐酸化性の絶縁膜を形成する工程と、不純物を含む第二の絶縁膜を形成する工程と、酸化雰囲気での熱処理により前記第二の絶縁膜をリフローすると同時に周辺回路領域のプレート電極材料膜を酸化する工程とを少なくとも備え、セルアレイ領域と周辺回路領域の絶対段差を低減するようにしたものである。

【0011】

【作用】本発明は上記した構成によって、メモリセルアレイ領域と周辺回路領域の絶対段差を緩和し、後の配線パターンの形成を容易にする。

【0012】

【実施例】以下本発明の一実施例の半導体装置の製造方法について、図面を参照しながら説明する。

【0013】図1～図4は本発明の第1の実施例における半導体記憶装置の製造方法の工程断面図である。まずp型半導体基板1上に公知の技術であるいわゆるLOCOS法によって素子分離用絶縁膜2として酸化珪素膜を形成後、ゲート酸化膜4、ワード線となるゲート電極5、n型拡散層3よりなるスイッチングトランジスタを形成する。次に、ビット線6を形成後、図1に示すようにCVD法によるIn-Situ Pドーブトポリシリコン（以下DPSとする）よりなる電荷蓄積電極7を800nmの高さに形成する。さらに図2に示すように、 $\text{Si}_3\text{N}_4$ と $\text{SiO}_2$ よりなる容量絶縁膜10、DPS200nmよりなるプレート電極11を順次形成し、次に第1の絶縁膜として第1のBPSG膜8を800nm堆積して、850度15分窒素雰囲気中で熱処理をほどこす。

【0014】次に図3のように周辺回路領域30上に形成したレジストパターン9をマスクにセルアレイ領域40の第1のBPSG膜8を800nmエッチングする。次に図4に示すように第2のBPSG膜12を800nm堆積後900度40分窒素雰囲気中で熱処理をほどこしてリフローさせて平坦化を行った後400nmエッチバックしてプレート電極上絶縁膜を形成する。上記工程により、周辺回路領域30は十分な平坦化が実現し、セルアレイ領域40と周辺回路領域30との絶対段差15はプレート電極膜厚の200nmとなり後の配線パターン

の形成がきわめて容易に行える。以後公知の技術でメタル配線を形成しダイナミック・ランダム・アクセス・メモリ（DRAM）を完成させる。

【0015】なお、本実施例では最終的な絶対段差15を200nmとしたが、電荷蓄積電極7の高さと第1のBPSG膜8の膜厚およびセルアレイ領域の第1のBPSG膜8のエッチング量を変化させることにより任意の絶対段差15を実現できる。また、本実施例では第1のBPSG膜8の熱処理を850度15分窒素雰囲気で行っているが、トランジスタおよび素子分離特性が許す範囲でより高温で長時間の熱処理を行ってもかまわない。

【0016】図5～図9は本発明の第2の実施例における半導体記憶装置の製造方法の工程断面図である。第1の実施例と同様にワード線5、ビット線6を形成後、ビット線上の層間絶縁膜21上に $\text{Si}_3\text{N}_4$ 膜20を50nm堆積して電荷蓄積電極コンタクトを開口した後、図5に示すようにDPSよりなる電荷蓄積電極7を800nmの高さに形成する。次に図6に示すように第1の絶縁膜として第1のBPSG膜8を800nm堆積して、850度15分窒素雰囲気中で熱処理をほどこす。次に図7のように周辺回路領域30上にレジストパターン9を形成し、図8に示すようにセルアレイ領域40上の第1のBPSG膜8をHF/ $\text{NH}_4\text{F}$ 溶液を用いて選択的にエッチング除去する。このとき $\text{Si}_3\text{N}_4$ 膜20はエッチングストッパーとして働く。

【0017】続いて図9に示すように $\text{Si}_3\text{N}_4$ および $\text{SiO}_2$ 膜よりなる容量絶縁膜10およびDPS200nmよりなるプレート電極11を順次形成後、第2のBPSG膜12を800nm堆積後900度40分窒素雰囲気中で熱処理をほどこしてリフローさせて平坦化を行った後400nmエッチバックしてプレート電極上絶縁膜を形成する。上記工程により、セルアレイ領域40と周辺回路領域30との絶対段差15はプレート電極膜厚の200nmとなり後の配線パターンの形成がきわめて容易に行える。以後公知の技術でメタル配線を形成しダイナミック・ランダム・アクセス・メモリ（DRAM）を完成させる。

【0018】なお、本実施例では最終的な絶対段差を200nmとしたが、電荷蓄積電極7の高さと第1のBPSG膜8の膜厚およびセルアレイ領域の第1のBPSG膜8のエッチング量を変化させることにより任意の絶対段差15を実現できる。また、本実施例では第1のBPSG膜8の熱処理を850度15分窒素雰囲気で行っているが、トランジスタおよび素子分離特性が許す範囲でより高温で長時間の熱処理を行ってもかまわない。

【0019】図10～図13は本発明の第5の実施例における半導体記憶装置の製造方法の工程断面図である。第1の実施例と同様にワード線5、ビット線6、電荷蓄積電極7をPドーブトポリシリコンで800nmの高さで形成した後、図10に示すように $\text{Si}_3\text{N}_4$ およびS

$\text{SiO}_2$  膜よりなる容量絶縁膜10およびプレート電極11となるDPS100nmを順次形成後、第1のBPSSG膜8を800nm堆積後850度15分窒素雰囲気中で熱処理をほどこす。次に図11に示すように周辺回路領域30上に形成した第1のレジストパターン9をマスクにセルアレイ領域40の第1のBPSSG膜8をエッチング除去する。このときプレート電極11となるDPSはエッチングストッパーとして働く。次にレジストパターン9を除去して、 $\text{Si}_3\text{N}_4$  膜20を20nm堆積し、図12に示すようにセルアレイ領域40上の第2のレジストパターン13をマスクに周辺回路領域30上の $\text{Si}_3\text{N}_4$  膜20をエッチング除去する。

【0020】次に、第2のレジストパターン13を除去した後、図13に示すように第2のBPSSG膜12を800nm堆積後850度60分パイロ雰囲気中で熱処理をほどこして第2のBPSSG膜12をリフローさせると同時に周辺回路領域30のDPSを酸化して酸化珪素膜14に変えて平坦化を行った後、400nmエッチバックしてプレート電極上絶縁膜を形成する。このとき容量絶縁膜の $\text{Si}_3\text{N}_4$  膜およびプレート電極11上の $\text{Si}_3\text{N}_4$  膜20が耐酸化マスクとして働く。また、パイロ雰囲気ではBPSSG膜下のポリシリコンの酸化速度はBPSSG膜のない状態の酸化速度とほとんど換わらず、850度60分の酸化で完全に酸化される。また、850度の熱処理でBPSSG膜の平坦化ができることから、電荷蓄積電極からの不純物の拡散をより少なくすることになり、短チャネル効果および素子分離特性の悪化を抑制して微細な素子を製造できる。以後公知の技術でメタル配線を形成しダイナミック・ランダム・アクセス・メモリ(DRAM)を完成させる。

【0021】なお、電荷蓄積電極7の高さと第1のBPSSG膜8の膜厚およびセルアレイ領域の第1のBPSSG膜8のエッチング量を変化させることにより任意の絶対段差15を実現できる。また、本実施例では第1のBPSSG膜の熱処理を900度20分窒素雰囲気で行っているが、トランジスタおよび素子分離特性が許す範囲でより高温で長時間の熱処理を行ってもかまわない。

【0022】なお、上記のいずれの実施例もビット線を形成後電荷蓄積電極を形成するタイプのスタック型メモリセルの場合であるが、電荷蓄積電極形成後にビット線を形成するタイプのスタック型メモリセルの場合においても同様な効果が得られる。

【0023】

【発明の効果】以上のように本発明はいわゆるスタック型のDRAMにおいて、メモリセルアレイ領域と周辺回路領域との絶対段差を低減でき、微細な配線のパターンニングを余裕度をもって形成することが可能になり、歩留

りの向上に大きな効果がある。また、本発明により単純な構造の電化蓄積電極を高く形成するだけで蓄積容量を確保できるために、複雑な構造のメモリセルを形成するための工程数の増大もなくその実用的効果はきわめて大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体記憶装置の製造方法を示す工程断面図(1)

【図2】本発明の第1の実施例における半導体記憶装置の製造方法を示す工程断面図(2)

【図3】本発明の第1の実施例における半導体記憶装置の製造方法を示す工程断面図(3)

【図4】本発明の第1の実施例における半導体記憶装置の製造方法を示す工程断面図(4)

【図5】本発明の第2の実施例における半導体装置の製造方法を示す工程断面図(1)

【図6】本発明の第2の実施例における半導体装置の製造方法を示す工程断面図(2)

【図7】本発明の第2の実施例における半導体装置の製造方法を示す工程断面図(3)

【図8】本発明の第2の実施例における半導体装置の製造方法を示す工程断面図(4)

【図9】本発明の第2の実施例における半導体装置の製造方法を示す工程断面図(5)

【図10】本発明の第3の実施例における半導体装置の製造方法を示す工程断面図(1)

【図11】本発明の第3の実施例における半導体装置の製造方法を示す工程断面図(2)

【図12】本発明の第3の実施例における半導体装置の製造方法を示す工程断面図(3)

【図13】本発明の第3の実施例における半導体装置の製造方法を示す工程断面図(4)

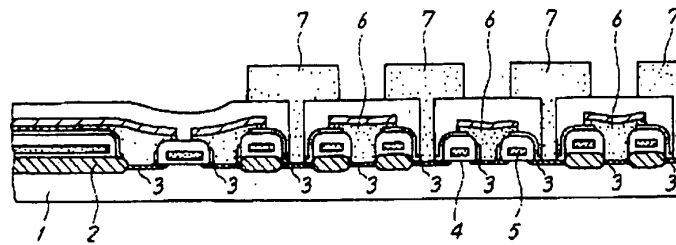
【図14】従来の半導体装置の製造方法を示す工程断面図(1)

【図15】従来の半導体装置の製造方法を示す工程断面図(2)

【符号の説明】

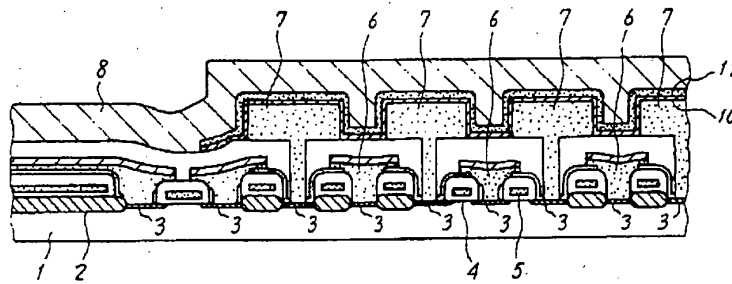
- 4 ゲート絶縁膜
- 5 ゲート電極(ワード線)
- 6 ビット線
- 7 電荷蓄積電極
- 8 第1のBPSSG膜
- 9 レジストパターン
- 10 容量絶縁膜
- 11 プレート電極
- 30 周辺回路領域
- 40 セルアレイ領域

【図1】



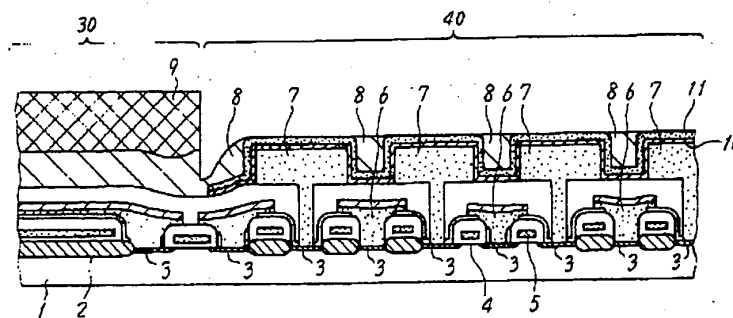
- 1--- $p$ 型半導体基板      5---ゲート電極(ワード線)  
 2---素子分離用絶縁膜      6---ビット線  
 3--- $n$ 型拡散層      7---電荷蓄積電極  
 4---ゲート絶縁膜

【図2】



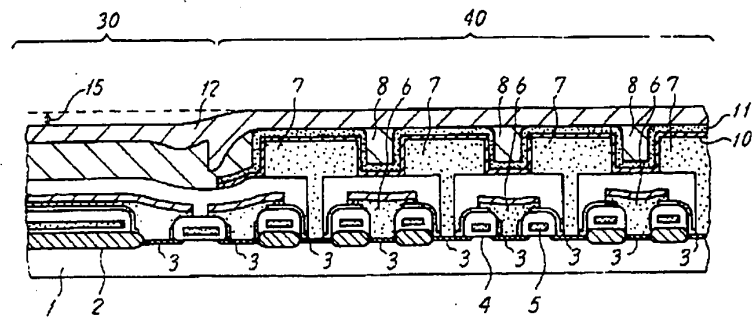
- 8---第1のBPSG膜  
 10---容量絶縁膜  
 11---プレート電極

【図3】



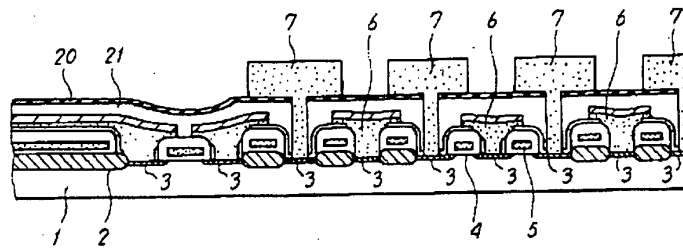
- 9---レジストパターン  
 30---周辺回路領域  
 40---セルアレイ領域

【図4】



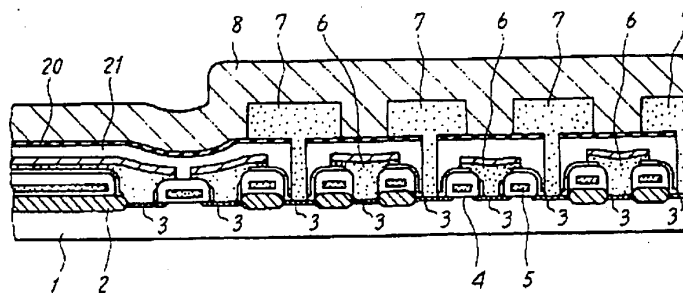
12---第2のBPSG膜  
15---絶対段差

【図5】

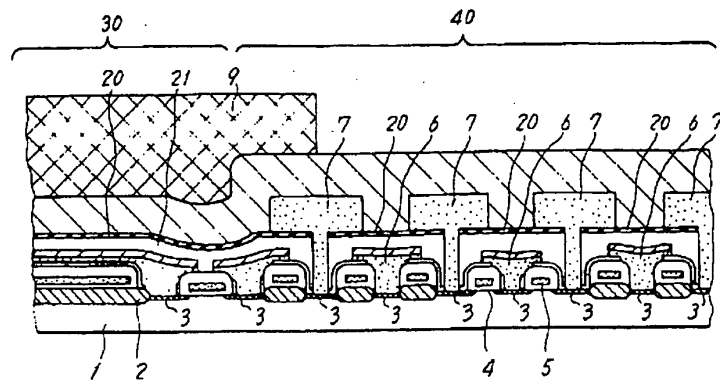


20--- $\text{Si}_3\text{Na}$ 膜  
21---ビット線上層間絶縁膜

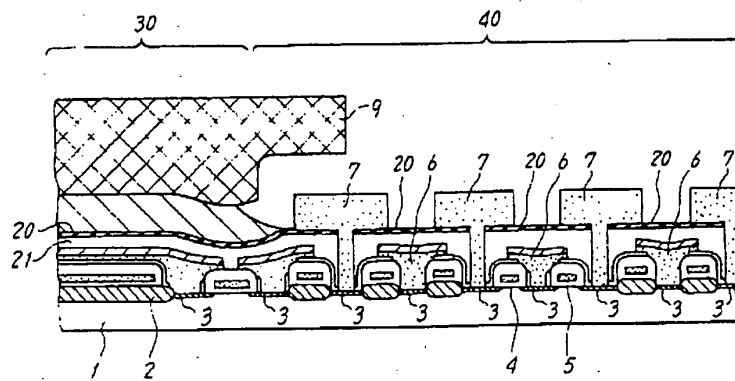
【図6】



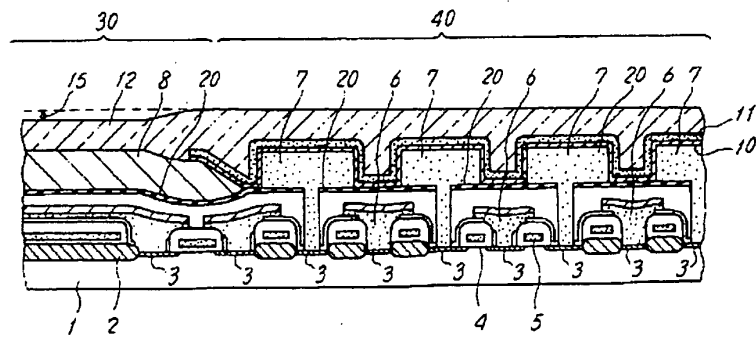
【図7】



【図8】

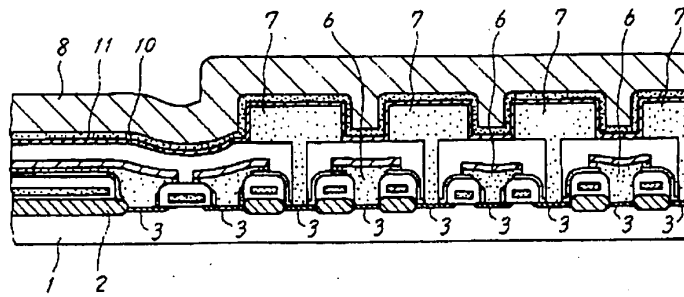


【図9】

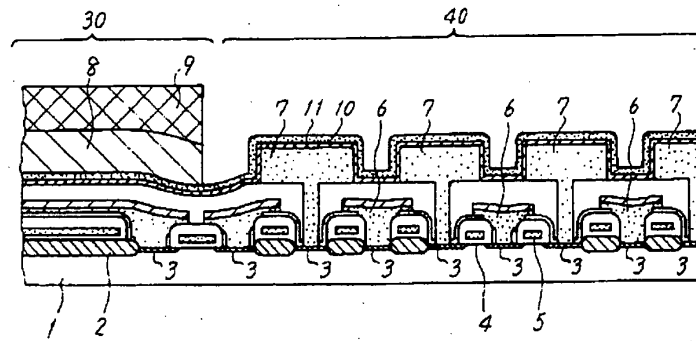




【図10】

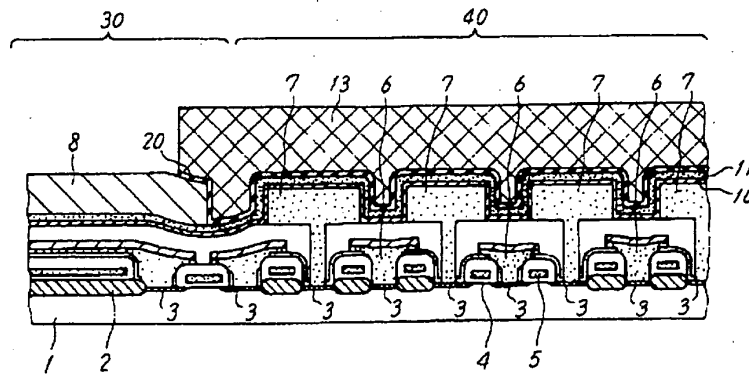


【図11】



9--第1のレジストパターン

【図12】



13--第2のレジストパターン

